

CLIPPEDIMAGE= JP402310956A

PAT-NO: JP402310956A

DOCUMENT-IDENTIFIER: JP 02310956 A

TITLE: HIGH-DENSITY MOUNTING SEMICONDUCTOR PACKAGE

PUBN-DATE: December 26, 1990

INVENTOR-INFORMATION:

NAME

KITABAYASHI, CHIKAKO

KITANO, MAKOTO

NISHIMURA, ASAO

YAGUCHI, AKIHIRO

KAWAI, SUEO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP01131374

APPL-DATE: May 26, 1989

INT-CL (IPC): H01L023/50;H01L021/60

US-CL-CURRENT: 257/666,257/673

ABSTRACT:

PURPOSE: To obtain a package of a structure where a lead part has been piled up on an electrode on the surface of a chip by a method wherein a conductive material layer to the surface of the chip and the electrode on the surface of the chip are wireless-bonded via a solder bump or the like, a through hole is made in an insulating material layer and a conductive material layer at an upper layer is connected electrically to the electrode on the surface of the chip.

CONSTITUTION: This package is constituted as follows: a multilayer lead 6 which has been composed of three layers of a lower-layer conductive material layer 3, an insulating material layer 4 and an upper-layer conductive material layer 5 is pasted on a semiconductor chip 2 where an electrode 1 has been formed on the surface; these are covered with a molding resin 7 such as an epoxy or the like. Parts other than the electrode on the surface of the chip 2 are coated with a paste material, or a thin film material is bonded on the parts; thereby, an insulating material layer 8 is formed. The lower-layer conductive material layer 3 is connected electrically to the electrode 1 on the surface of the chip via a solder or the like; the upper-layer conductive material layer 5 is connected electrically to the electrode 1 on the surface of the chip by using a solder 10 through a through hole made in an insulating film 9 which has been pasted between the layer and the lower-layer conductive material layer 3.

COPYRIGHT: (C)1990, JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-310956

⑬ Int. Cl.⁵

H 01 L 23/50
21/60

識別記号

3 1 1 N
Q

庁内整理番号

9054-5F
6918-5F

⑭ 公開 平成2年(1990)12月26日

審査請求 未請求 請求項の数 2 (全8頁)

⑮ 発明の名称 高密度実装半導体パッケージ

⑯ 特 願 平1-131374

⑰ 出 願 平1(1989)5月26日

⑱ 発 明 者 北 林 千 加 子 茨城県土浦市神立町502番地 株式会社日立製作所機械研
究所内

⑲ 発 明 者 北 野 誠 茨城県土浦市神立町502番地 株式会社日立製作所機械研
究所内

⑳ 発 明 者 西 村 朝 雄 茨城県土浦市神立町502番地 株式会社日立製作所機械研
究所内

㉑ 発 明 者 矢 口 昭 弘 茨城県土浦市神立町502番地 株式会社日立製作所機械研
究所内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

高密度実装半導体パッケージ

2. 特許請求の範囲

1. 外表面に電極(1)を設けた半導体チップ(2)

と、前記電極(1)と外部端子を電気的に接続するためあらかじめ製作された少なくとも2層以上の導電材層(5, 3)より構成される半導体パッケージにおいて、一方の前記導電材層(5)が少なくとも1ヶ所以上で前記電極(1)と電気的に接続され、かつ当該接続部が一方の前記導電材層(5)と前記チップ(2)との間に存在する少なくとも一層以上の他方の導電材層(3)と一方の前記導電材層(5)とを電気的に絶縁する部材(9)により囲まれたことを特徴とする半導体パッケージ。

2. 外表面に電極(1)を設けた半導体チップ(2)

と、前記電極(1)と外部端子を電気的に接続するためあらかじめ製作された少なくとも2層以上の導電材層(5, 3)より構成される半導体

パッケージにおいて、前記半導体チップ表面寄りの少なくとも1層以上の前記導電材層(3)の内端が上部の前記導電材層(5)の内端よりも前記半導体チップ(2)の周辺寄りに位置することを特徴とする半導体パッケージ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体パッケージ、特に半導体チップの外表面に設けられた電極に、前記電極と外部端子との導通を図る目的であらかじめ製作された導電材層を電気的に接続して構成される半導体パッケージにおいて、高密度実装を達成する多ピン化パッケージに関する。

〔従来の技術〕

高密度実装に対応した従来の多ピン化パッケージ構造の半導体装置は、特開昭59-98543号公報に記載のように、半導体チップの電極と外部端子との導通を図るリード部を、ポリイミド、ポリアミド、トリアジン或いはガラスエポキシ系の樹脂フィルム等の絶縁材層で分離された複数の導電材

層、例えば銅フィルム等で構成した多層構造をとっていた。特に、前記リード各層のうち下層、すなわちチップ寄りの導電材層は、その上側の絶縁材層の内端よりも内側で終端し、従つて前記リードの内端は階段状の形状を有し、これら各層の段部とチップの電極部がワイヤにてボンディングされていた。

〔発明が解決しようとする課題〕

このため上記従来装置ではチップ表面の電極上にリード部を重ねることはできず、チップを支持する板材(タブ)の代わりにリード部をチップに貼り合わせた構造の半導体装置では、チップ表面の電極をリード部と重ならない様に配置するか、或いは電極部をさけてリードをひき回す等の配慮が必要であつた。しかも、最近、チップ表面の電極配置が信号処理の高速化を支配する重要な因子であることが知られ、このため、上記制約によりチップ表面の電極を自由に配置できないことが、素子の特性を確保する上で、特に大きな障害となる可能性がでてきた。

に多層リードの下層導電材層とチップ表面電極とをワイヤレスボンディングし、さらに下層導電材層の上部に絶縁材層を介して設けられる上層導電材層の内端を前記下層導電材層の内端より内側すなわちチップ中央寄りに延長し、これをチップ表面電極と電気的に接続することにより達成される。

〔作用〕

前記第1手段においては、まず下層すなわちチップ表面寄りの導電材層がはんだパンパ等を用いてリード下部のチップ表面電極と電気的に接続される。次に上層の導電材層は前記下層導電材層との間に存在する絶縁材層に設けられた貫通孔を通して、リード下部のチップ表面電極とはんだパンパ等を介して電気的に接続される。この時、上層の導電材層の接続部とチップ表面電極との間に下層導電材層が存在する場合は、下層導電材層の該当部にも貫通孔を設ける必要がある。

これにより、タブの代わりにリード部をチップに貼り合わせた多層リード構造の半導体装置において、リード部をチップ表面の電極上に重ねても、

また、上記従来装置ではリード接着部以外のチップ表面に電極を形成するため、一定サイズのチップについてリードの多層化により外部出力ピン数を増しても、これに対応して同様に無制限にチップ表面の電極数を増すことはできなかった。

本発明の目的は、多層リード構造を有する半導体装置において、上記問題点を解決するため、チップ表面の電極上にリード部を重ねた構造のパッケージを提供することである。

〔課題を解決するための手段〕

上記目的達成の第1手段としては、多層リードの下層すなわちチップ表面寄りの導電材層とチップ表面電極をはんだパンパ等を介してワイヤレスボンディングし、さらに上層の導電材層と前記下層導電材層との電気的絶縁を図る目的で前記下層導電材層の上部に存在する絶縁材層に貫通孔を設け、この貫通孔を通して上層の導電材層とチップ表面電極を電気的に接続することにより達成される。

また、上記目的達成の第2手段としては、同様

各層の導電材とリード下部のチップ表面電極を電気的に接続することができるようになるので、リードパターンにかかわらず、前記電極チップ表面に自由に配置できるようになる。

同様に、電極部をさけてリードをひき回す手間も不要となる。また、チップ表面のリード接着部にも電極が形成できるので、同じチップサイズに従来装置に比べてより多くの外部出力をとり出すことができるようになる。

前記第2手段においては、まず、同様に、下層の導電材層がはんだパンパ等を用いてリード下部のチップ表面電極と電気的に接続される。次に、上層の導電材層は内端が下層導電材層の内端よりも内側すなわちチップ中央寄りに延長されているので、この延長部分の下部のチップ表面に設けられた電極と、はんだパンパ等を用いて電気的に接続される。

これにより、タブの代わりにリード部をチップに貼り合わせた多層リード構造の半導体装置において、リード部をチップ表面の電極上に重ねても、

各層の導電材とリード下部のチップ表面電極を電気的に接続することができるようになるので、前記電極をチップ表面に自由に配置できる。また、チップ表面のリード接着部にも電極が形成できるので、同じチップサイズの従来装置に比べてより多くの外部出力をとり出すことができるようになる。ただし、第2手段では、一本のリード下部に複数個の電極が存在する場合は、外部端子寄りの電極から順に、下層の導電材層と接続する必要がある。

〔実施例〕

実施例について図面を参照して説明する。

第1図は本発明の高密度実装半導体パッケージの第1実施例の斜視図、第2図は第1図の半導体パッケージのII-II断面図である。本装置は、第1図及び第2図に示す通り、表面に電極1を設けた半導体チップ2に、下層導電材層3、絶縁材層4及び上層導電材層5の三層から成る多層リード6を貼り合わせ、これらをエポキシ等のモールド樹脂7で被覆することにより構成される。チップ

チップ表面電極位置に対応した貫通孔3aが設けられた下層導電材層3を、両者の貫通孔9a及び3aが一致するように位置合わせして貼り合わせ、その後、前記下層導電材層3を外枠3bより切断する。

次に、裏面に絶縁材層4をコーティング、或いは接着した上層導電材層5を、その先端部5aが前記絶縁フィルム9の貫通孔9aをおおうように位置合わせして、この状態のまま上側から絶縁フィルム9及び絶縁材層4を介して前記下層導電材層3に貼り合わせ、その後、前記上層導電材層5を外枠5bより切断する。なお、使用する導電材層が例えば銅箔の様な剛性の低い部材の場合にはこのように絶縁フィルム9を介して導電材同志を貼り合わせることが望ましいが、使用する導電材層が薄板状で剛性が高い場合には、特に絶縁フィルムを用いずに、絶縁材層4のみを介して導電材同志を貼り合わせてもよい。

第4図は第1図とは異なる第2実施例である高密度実装半導体パッケージの斜視図、第5図は第

2の表面の電極以外の部分には、ペースト材をコーティングする、或いは薄いフィルム材を接着する等により、絶縁材層8が形成される。ここで、下層導電材層3はチップ表面電極1とはんだ等を介して電気的に接続され、また、上層導電材層5は、下層導電材層3との間に貼り合わされた絶縁フィルム9に設けられた貫通孔を通してはんだ10によりチップ表面電極1と電気的に接続される。

上層導電材層5とチップ表面電極1の接続部に位置する下層導電材層3の該当部にも、絶縁フィルム9と同様に貫通孔が設けられている。一方、多層リード6の外部端子側端部は各層毎に基板の電極ピッチに対応した段差が付与されており、各各をはんだ11により基板側電極に接続することにより、各出力を分離することができる。

本装置の多層リードは、例えば次の手順により製造される。まず、第3図に示す通り、あらかじめチップ表面電極の位置に対応して貫通孔9aが設けられた絶縁フィルム9に、あらかじめ同様に

4図の半導体パッケージのV-V断面図である。本装置は、上層導電材層5の内端が下層導電材層3の内端よりも内側すなわちチップ中央寄りに配置され、下層導電材層3に上層導電材層とチップ表面電極を電気的に接続するための貫通孔が設けられていない点と、上層導電材層5と下層導電材層3の間に挿入される絶縁フィルム9を全リードが共有している点で、第1図に示した実施例とは異なる構造であるが、その他の点では前記実施例と同様の構造である。

本装置の多層リードは、例えば次の手順により製造される。まず、第6図に示す通り、絶縁フィルム9にあらかじめ、チップ表面電極の位置に対応して貫通孔9aを設ける。次に、第7図に示す通り、あらかじめペースト材をコーティングする或いはフィルム材を接着する等の手段により裏面に絶縁材層4を形成した上層導電材層5を、その先端部5aが前記貫通孔9aをおおうように位置合わせして前記絶縁フィルム9に貼りあわせ、その後、前記上層導電材層5を外枠5bから切断す

る。

さらに第8図に示す通り、前記絶縁フィルム9及び絶縁材層4の裏面すなわち上層導電材層5との接着面に対向した面に、パターン印刷等の手段により下層導電材層3を形成し、その後、絶縁フィルム9を支持枠9bから切断する。なお、第9図はこのようにして製造された第8図の多層リードのⅩ-Ⅹ断面を表わしている。

第10図は第1図及び第4図とは異なる第3実施例である高密度実装半導体パッケージの斜視図、第11図及び第12図はそれぞれ第10図の半導体パッケージのⅩⅠ-ⅩⅠ断面図及びⅩⅡ-ⅩⅡ断面図である。本装置は、第10図、第11図及び第12図に示す通り、表面に電極1を設けた半導体チップ2に多層リード6を接着し、これらをエポキシ等のモールド樹脂7により被覆することにより構成される。多層リード6は、下層導電材層3と上層導電材層5を絶縁フィルム9を介して貼り合わせた三層構造である。

第12図に示す通り、下層導電材層3とチップ

ティングし、その後、上層導電材層5を外枠5bから切断する。

なお、第1図及び第4図の実施例では、下層導電材層3と上層導電材層5の間に挿入する絶縁材層を絶縁フィルム9とは別に形成したが、もちろん、これらの実施例においても、本実施例と同様に絶縁フィルム9をリード形状に合わせてカットティングする方法を用いて前記絶縁材層を形成してもよい。

第16図は更に別の第4実施例の斜視図、第17図は第16図の半導体パッケージのⅩⅦ-ⅩⅦ断面図である。本装置は、表面に電極1を設けた半導体チップ2に多層リード6を接着し、これらをエポキシ等のモールド樹脂7で被覆することにより構成される。多層リード6は絶縁材層4を介して下層導電材層3と上層導電材層5を貼り合わせた三層構造であり、上層導電材層5の内端すなわちチップ中央寄り端部は、絶縁材層4及び下層導電材層3の内端よりも内側すなわちチップ中央寄りに延長されている。

表面電極1は、はんだパンプ等を介してワイヤレスボンディングされ、一方、第11図に示す通り、上層導電材層5とチップ表面電極1は、ワイヤ12を介して電気的に接続される。ここで、上層導電材層とチップ表面電極との接続部に位置する絶縁フィルム9には、該当部に前記ワイヤ12の径よりも大きい貫通孔9aがあらかじめ設けられており、ワイヤ12はこの貫通孔9aを通してボンディングされる。

本装置の多層リードは、例えば次の手順により製造される。まず、第13図に示す通り、あらかじめ片面にパターン印刷等により下層導電材層3を形成した絶縁フィルム9に、チップ表面の電極位置に対応した貫通孔9aを設ける。次に、第14図に示す通り、前記絶縁フィルム9に、上層導電材層5をその先端部5aが前記貫通孔9a上に若干突出するように位置合わせして、貼り合わせる。さらに、第15図に示す通り、前記絶縁フィルム9の外周部を上層導電材層5のピッチに合わせてモールド樹脂7で被覆される領域までカット

ここで、下層導電材層3ははんだパンプ10によりチップ表面電極1と電気的に接続され、上層導電材層5は内側に延長された前記内端部において、チップ表面電極1とはんだパンプ10により電気的に接続される。一方、多層リード6の外部出力端子側端部は、導電材層毎に基板の電極ピッチに対応した段差が付与され、上層導電材層5を下層導電材層3より外側に延長した構造になっている。このようにして各導電材層をはんだ11により基板側配線部に接続することにより、チップからの出力を分離することができる。

なお、チップ表面の電極以外の部分には、リードとの絶縁を図る目的で絶縁材層8が形成されているが、エポキシ等の樹脂材或いは低融点ガラス等から成る絶縁性の接着剤を用いてリードをチップに接着する場合は、この接着材層を前記絶縁材層としてもよい。

本装置の多層リードは、例えば絶縁フィルムの上面及び下面にそれぞれ寸法の異なる二枚の銅箔を接着し、これをリード形状にカットティングする

ことにより製造される。

ところで、以上で説明した4種の実施例はいずれもリード部が3層構造を有する場合であるが、リード部が4層以上の多層構造を有する場合にも、同様に、本発明を適用することができる。

〔発明の効果〕

本発明によれば、多層リードをチップ表面上に貼り合わせた構造の半導体装置において、前記リードをチップ表面電極上に重ねても、リードの各導電材層とチップ表面電極を自由に電氣的に接続することができる。従つて、チップ表面に自由に電極を配置することができ、信号処理の高速化を図ることができる。又、電極をさけてリードをひき回す余分な手間を省き、費用を節約することができる。さらに、チップ表面のリード接着領域にも電極を形成できるので、同じチップサイズの従来装置よりも多数の出力をとり出すことができ、高機能化、高密度実装化を達成することができる。

4. 図面の簡単な説明

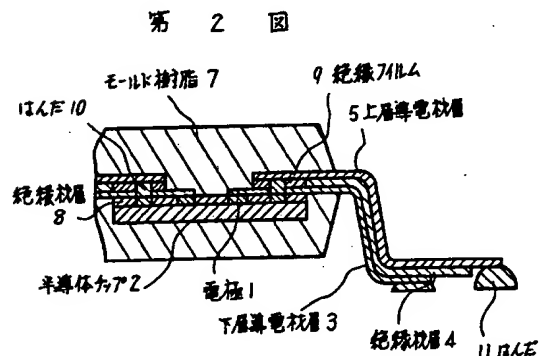
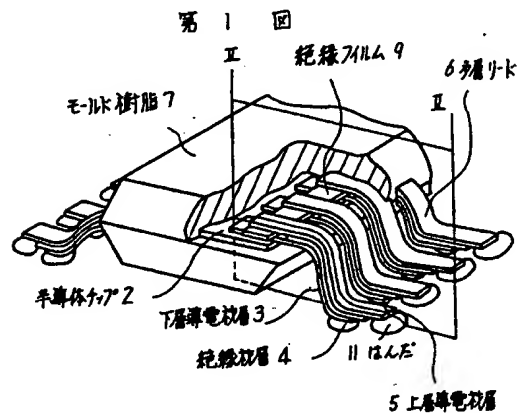
第1図は本発明の第1実施例である高密度実装

半導体パッケージの斜視図、第2図は第1図のII-II断面図、第3図は第1図の多層リード部の組立て図である。第4図は本発明の第2実施例である高密度実装半導体パッケージの斜視図、第5図は第4図のV-V断面図、第6図、第7図、第8図は夫々第4図の多層リード部の組立て図、第9図は第8図のIX-IX断面図である。第10図は本発明の第3実施例である高密度実装半導体パッケージの斜視図、第11図及び第12図は夫々第10図のXI-XI及びXII-XII断面図、第13図、第14図、第15図は夫々第10図の多層リード部の組立て図である。第16図は本発明の第4実施例である高密度実装半導体パッケージの斜視図、第17図は第16図のXVII-XVII断面図である。

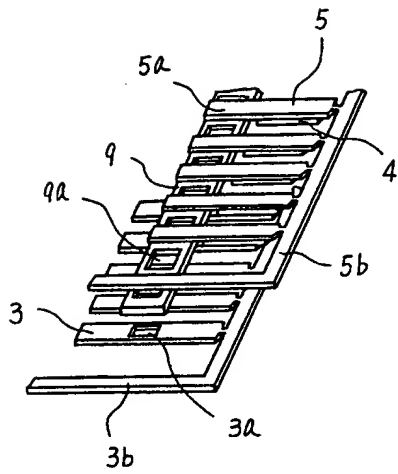
1…電極、2…半導体チップ、3…下層導電材層、4…絶縁材層、5…上層導電材層、6…多層リード、7…モールド樹脂、8…絶縁材層、9…絶縁フィルム、10…はんだパンプ、11…はんだ、12…ワイヤ、3a…貫通孔、3b…外伸、5a…上層導電材層先端部、5b…外伸、9a…貫通

孔、9b…支持枠。

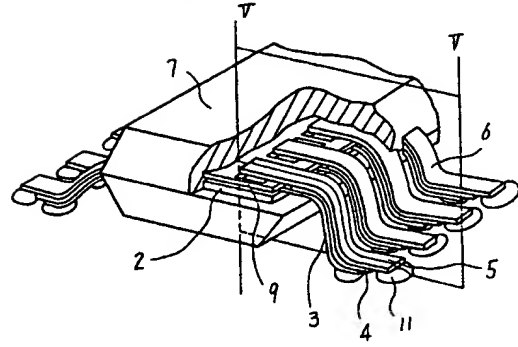
代理人 弁理士 小川勝男



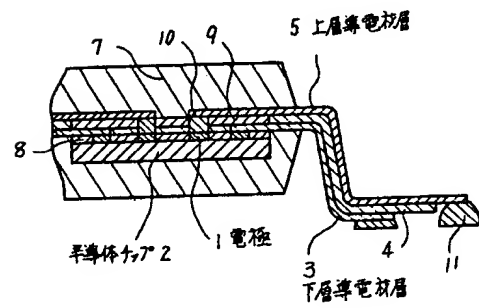
第 3 図



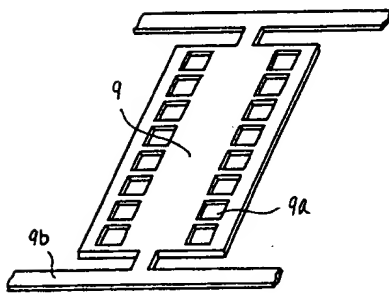
第 4 図



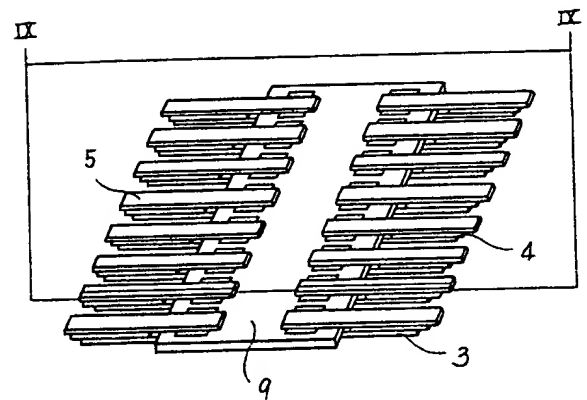
第 5 図



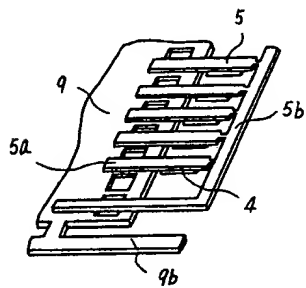
第 6 図



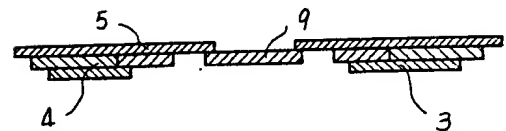
第 8 図



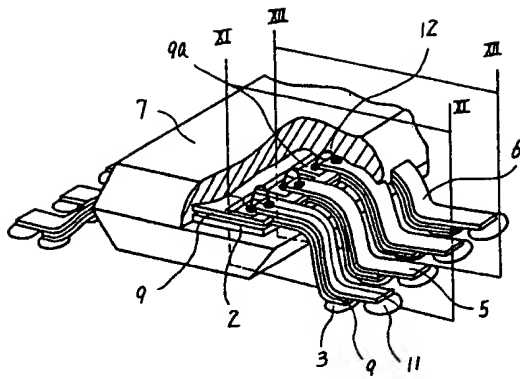
第 7 図



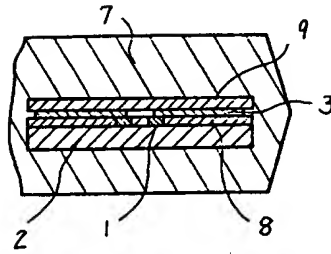
第 9 図



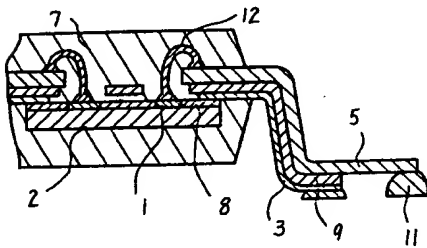
第 10 図



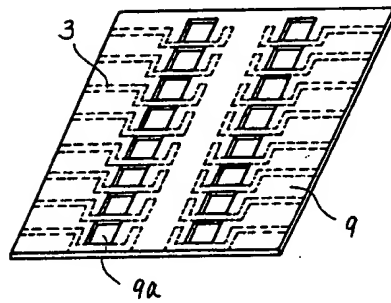
第 12 図



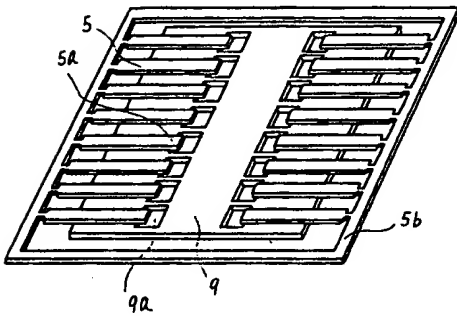
第 11 図



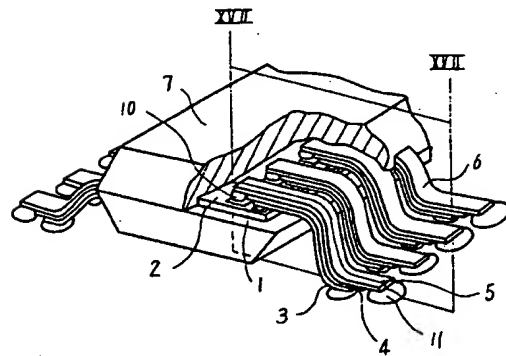
第 13 図



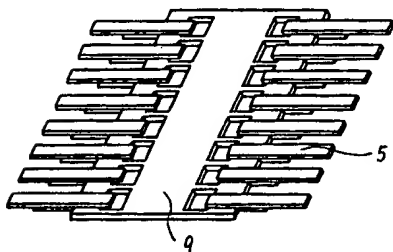
第 14 図



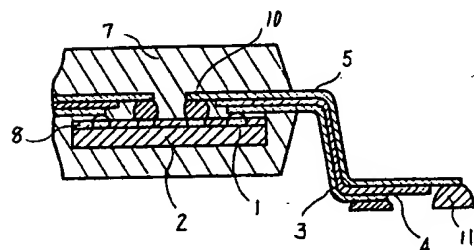
第 16 図



第 15 図



第 17 図



第1頁の続き

⑦発明者

河合

末男

茨城県土浦市神立町502番地 株式会社日立製作所機械研
究所内